

1/3/2 . (Item 2 from file: 351)
DIALOG(R) File 351:Derwent WPI
(c) 2006 Thomson Derwent. All rts. reserv.

014051349 **Image available**

WPI Acc No: 2001-535562/200159

Related WPI Acc No: 2004-650208

XRPX Acc No: N01-397677

Wireless communication system sets up voltage applied to each filter capacitor of PLL based on output of control unit when oscillators of PLL are switched

Patent Assignee: HITACHI LTD (HITA); KASAHARA M (KASA-I); YAHAGI K (YAH-A-I); RENESAS TECHNOLOGY CORP (RENE-N)

Inventor: KASAHARA M; YAHAGI K

Number of Countries: 004 Number of Patents: 005

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
US 20010016476	A1	20010823	US 2001788363	A	20010221	200159 B
JP 2001237699 A	A	20010831	JP 200046200	A	20000223	200165
KR 2001085441 A	A	20010907	KR 20018664	A	20010221	200218
US 6714772	B2	20040330	US 2001788363	A	20010221	200423
TW 558888	A	20031021	TW 2001103240	A	20010214	200424

Priority Applications (No Type Date): JP 200046200 A 20000223

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
US 20010016476	A1	15		H04B-007/00	
JP 2001237699	A	11		H03L-007/18	
KR 2001085441	A			H04B-001/40	
US 6714772	B2			H04B-007/00	
TW 558888	A			H04L-027/00	

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-237699
 (43)Date of publication of application : 31.08.2001

(51)Int.Cl. H03L 7/18
 H03L 7/093
 H04B 1/04
 H04L 7/033

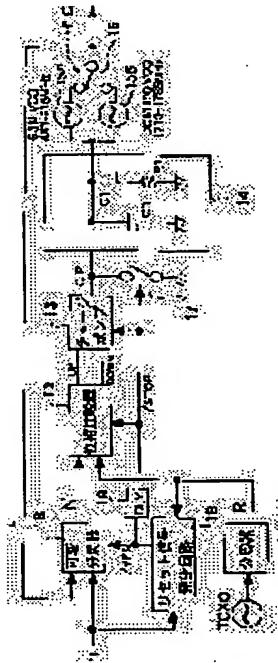
(21)Application number : 2000-046200 (71)Applicant : HITACHI LTD
 (22)Date of filing : 23.02.2000 (72)Inventor : KASAHARA MASUMI
 YAHAGI KOICHI

(54) RADIO COMMUNICATION SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem that frequency pull-in time fluctuates depending on switch timing of a frequency dividing ratio since it is not univocally defined whether the rise of an output (feedback side pulse) from a variable frequency divider is quickened or delayed rather than the rise of an output (reference side pulse) from a reference frequency divider after switching of the frequency dividing ratio in a conventional PLL circuit.

SOLUTION: The radio communication system equipped with PLL circuits 132 and 133 having plural oscillation circuits 15A and 15B for processing at least two transmitting signals and receiving signals of different frequency bands by switching the oscillation circuits is provided with a reset means 17 for resetting the voltage of filter capacitor 14 to a prescribed voltage on the basis of a signal from a control means 150 when switching the oscillation circuits.



LEGAL STATUS

[Date of request for examination] 17.02.2004

[Date of sending the examiner's decision of rejection] 06.04.2006

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

[decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-237699
(P2001-237699A)

(43)公開日 平成13年8月31日(2001.8.31)

(51)Int.Cl.⁷
H 03 L 7/18
7/093
H 04 B 1/04
H 04 L 7/033

識別記号

F I
H 04 B 1/04
H 03 L 7/18
7/08
H 04 L 7/02

テマコード⁸(参考)
T 5 J 1 0 6
E 5 K 0 4 7
E 5 K 0 6 0
B

審査請求 未請求 請求項の数11 OL (全 11 頁)

(21)出願番号 特願2000-46200(P2000-46200)
(22)出願日 平成12年2月23日(2000.2.23)

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72)発明者 笠原 真澄
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
(72)発明者 矢萩 孝一
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
(74)代理人 100085811
弁理士 大日方 富雄

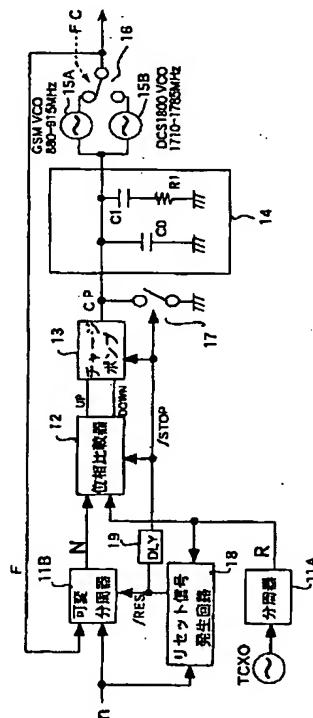
最終頁に続く

(54)【発明の名称】 無線通信システム

(57)【要約】

【課題】 従来のPLL回路においては、分周比の切替え後可変分周器の出力（帰還側パルス）の最初の立ち上がりが基準側分周器の出力（基準側パルス）の立ち上がりよりも早くなるか遅くなるかは、一義的に決まっておらず、分周比の切替えタイミングに依存してしまい、周波数引込み時間が変動するという問題点があった。

【解決手段】 複数の発振回路（15A, 15B）を有するPLL回路（132, 133）を備え、発振回路を切り替えることで互いに周波数帯の異なる2以上の送信信号および受信信号を処理可能にされた無線通信システムにおいて、上記発振回路を切り替える際に、上記制御手段（150）からの信号に基づいてフィルタ容量（14）の電圧を所定の電圧にリセットするリセット手段（17）を設けるようにした。



【特許請求の範囲】

【請求項1】 アンテナより受信された信号を処理する受信系回路と、

基準となる周波数信号と帰還信号の位相差を検出する位相比較器および該位相比較器で検出された位相差に応答して電圧を発生するチャージポンプおよびフィルタ容量、該フィルタ容量の電圧に基づいて発振動作する複数の発振回路を備え上記受信系回路で処理される信号に合成される局部発振信号を生成するためのPLL回路を含む発振系回路と、

上記受信系回路および発振系回路を統括的に制御する制御手段とを有し、上記PLL回路の複数個の発振回路を切り替えることで互いに周波数帯の異なる2以上の受信信号を処理可能にされた無線通信システムであって、上記発振回路を切り替える際に、上記制御手段からの信号に基づいて上記フィルタ容量の電圧を所定の電圧に設定する設定手段を設けたことを特徴とする無線通信システム。

【請求項2】 上記PLL回路は、上記位相比較器で基準となる周波数信号と位相比較される上記いずれかの発振回路からの上記帰還信号を分周するための可変分周回路を備え、上記制御手段からの信号に基づいて該可変分周回路における分周比を変更することで受信信号の周波数の選択を行なうように構成されていることを特徴とする請求項1に記載の無線通信システム。

【請求項3】 上記設定手段により行なわれる上記フィルタ容量の設定は、接地電位への設定であることを特徴とする請求項1または2に記載の無線通信システム。

【請求項4】 上記可変分周回路における分周比の変更是上記発振回路を切り替えた後に行なわれ、該可変分周回路は分周比の変更後に初期状態に設定され、上記設定手段による上記フィルタ容量の設定は上記可変分周回路の設定と連動して行なわれることを特徴とする請求項3に記載の無線通信システム。

【請求項5】 上記可変分周回路における分周比の変更是上記発振回路を切り替えた後に行なわれ、上記可変分周回路および上記フィルタ容量の設定は上記可変分周回路における分周比の変更後に開始され、上記可変分周回路に対する初期状態への設定が解除された後に上記フィルタ容量に対する設定が解除されることを特徴とする請求項4に記載の無線通信システム。

【請求項6】 上記可変分周回路を初期状態へ設定する制御信号を発生する設定信号発生手段を備え、該設定信号発生手段は、上記可変分周回路における分周比の設定信号および上記基準となる周波数信号とに基づいて、分周比の変更後上記基準となる周波数信号の最初のパルスとその次のパルスの期間中有効レベルとされる設定信号を発生することを特徴とする請求項5に記載の無線通信システム。

【請求項7】 上記フィルタ容量の電圧が所定の電圧に

設定されているとき、上記位相比較器およびチャージポンプの動作は停止されもくしは位相比較器の出力のチャージポンプへの伝達が遮断されることを特徴とする請求項5または6に記載の無線通信システム。

【請求項8】 上記設定信号発生手段により発生された設定信号に基づいて、該設定信号の有効レベルへの変化と同期して有効レベルに変化し上記設定信号の無効レベルへの変化よりも上記基準となる周波数信号のパルス幅以上の遅延時間において無効レベルに変化するストップ

信号を発生するストップ信号発生手段を備え、該ストップ信号発生手段により上記フィルタ容量の電圧の所定電圧への設定および上記位相比較器およびチャージポンプの動作停止もくしは位相比較器の出力のチャージポンプへの伝達の遮断制御が行なわれることを特徴とする請求項6に記載の無線通信システム。

【請求項9】 上記アンテナより送信する信号を処理する送信系回路を有し、上記PLL回路は、上記送信系回路で処理される信号に合成される局部発振信号を生成し、上記PLL回路の複数個の発振回路を切り替えることで互いに周波数帯の異なる2以上の送信信号を処理可能に構成されていることを特徴とする請求項1に記載の無線通信システム。

【請求項10】 上記可変分周回路における分周比を変更することで送信信号の周波数の選択を行なうように構成されていることを特徴とする請求項2に記載の無線通信システム。

【請求項11】 上記アンテナより送信する信号を処理する送信系回路を有することを特徴とする請求項8に記載の無線通信システム。

30 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、複数のVCO（電圧制御発振器）を備え発振周波数が切替え可能なPLL（フェーズ・ロックド・ループ）回路に適用して有効な技術に関し、例えば複数バンドの信号を送受信可能な携帯電話器などの無線通信装置において受信信号や送信信号と合成される所定の周波数の発振信号を発生する局部発振器としてのPLL回路およびそれを用いた無線通信システムに利用して有効な技術に関する。

40 【0002】

【従来の技術】 携帯電話器のような移動体システムにおいては、例えば880～915MHz帯のGSM（Group Special Mobile）と1710～1785MHz帯のDCS（Digital Cellular System）のような2つの周波数帯の信号を扱えるデュアルバンド方式の携帯電話器がある。携帯電話器においては、受信信号や送信信号と合成される所定の周波数の発振信号を発生する局部発振器としてPLL回路が用いられているが、上記のように大きく異なる2つの周波数帯の信号を扱う携帯電話器においては、回路の特性上1つのVCOで2つの周波数帯を

カバーすることは困難であり、それぞれの周波数に対応したVCOを設けて使用する周波数帯に応じてVCOを切り替えるようにしている。

【0003】図5はデュアルバンド方式の携帯電話器に用いられている従来のPLL回路の構成例を示す。このPLL回路は13MHzのような基準周波数信号TCXOをチャネル間隔にはほぼ等しい約200KHzの信号R(以下、基準側パルスと称する)に分周する分周器11Aと、VCOからの帰還信号Fを上記基準側パルスRと同じ200KHzの周波数のパルスN(以下、帰還側パルスと称する)に分周する分周器11Bと、帰還側パルスNと上記基準側パルスRの位相を比較して位相差を検出する位相比較器12と、検出された位相差に応じた電荷を送ったり引き抜いたりするチャージポンプ回路13と、チャージポンプから供給される電荷に応じた電圧を発生するループフィルタ14と、発生された電圧に応じた周波数で発振する2つの電圧制御発振回路(VCO)15A, 15Bと、これらの電圧制御発振回路15A, 15Bの発振出力を選択して帰還させるための切替えスイッチ16により構成されている。

【0004】なお、携帯電話器に用いられているPLL回路では、チャネル(周波数帯)の間隔が200KHzであり、複数のチャネルの中から所望のチャネルを選択するため送受信信号に合成する選択チャネルと同一周波数の局部発振信号をPLL回路で発生させるため、帰還側分周器11Bとして分周比を変えることができる可変分周器が用いられ、チャネルを切り替えるときはシステムコントローラからの制御信号により可変分周器11Bの分周比が切り替えられる。

【0005】また、使用バンドをGSM帯からDCS帯へあるいはDCS帯からGSM帯へ切り替える際には、システムコントローラからの制御信号による可変分周器11Bの分周比の切替えとともに、スイッチ16による電圧制御発振回路(VCO)15Aと15Bの出力の切替えもほぼ同時に実行される。このとき、可変分周器11Bの分周比の切替えによる分周出力の応答時間よりもスイッチ16の切替えによるVCO出力の安定化までの時間が長いので、一般にはVCOの切替えの方が先に行われる。

【0006】

【発明が解決しようとする課題】しかしながら、従来のデュアルバンド方式の携帯電話器におけるPLL回路にあっては、バンド切替えの際に以下に述べるような理由からPLL回路の引き込み時間が長くなるという問題点があることが明らかになった。

【0007】図6(A)はPLL回路がロックしているときの分周器11Aと11Bの出力とチャージポンプ13の出力を示す。同図に示すように、分周器11Aの出力(基準側パルスR)と可変分周器11Bの出力(帰還側パルスN)とは位相が一致しており、チャージポンプ

13の出力CPは0V一定である。この状態でPLL回路の発振周波数を下げるため可変分周器11Bの分周比nを下げるとき、図6(B)のように、可変分周器11Bの出力(帰還側パルスN)の周期が分周器11Aの出力(基準側パルスR)の周期よりも短くなるため、チャージポンプ13から負の電流パルスCPが输出されてVCOの周波数を下げるよう作用する。このとき、同一バンド内ではチャネルの間隔が200KHzであり分周比は大きく変化しないため、帰還信号Fの周期が長くなつて、速やかに図6(A)のようなロック状態となる。

【0008】一方、PLL回路の発振周波数を上げるために可変分周器11Bの分周比nを高くすると、上記とは逆に、可変分周器11Bの出力(帰還側パルスN)の周期が分周器11Aの出力(基準側パルスR)の周期よりも長くなる。そのため、チャージポンプ13から正の電流パルスCPが输出されてVCOの周波数を上げるように作用し、帰還信号Fの周期が短くなって同一バンド内なら速やかにロック状態となる。このように、同一バンド内のチャネルの切替えに伴う可変分周器11Bの分周比nの変更の際には周波数の安定化が速やかに行なわれる。

【0009】ところが、GSM帯からDCS帯へのバンド切替えの際には、スイッチ16の切替えが行なわれるため、図7のタイミングt1のようにVCOの切替えが行なわれた周期T1から、可変分周器11Bの出力(帰還側パルスN)の周期が急激に短くなる。そのため、チャージポンプ13から幅の長い負の電流パルスCPがoutputされてVCOの周波数を下げるよう作用する。しかも、周期T3のように、一方の分周器(ここでは基準側11A)の出力の1周期間に他方の分周器(可変分周器B)のパルスが2個入っても位相比較器12は2個目のパルスに対しては比較動作をしないので、チャージポンプ13から出力される負の電流パルスCPはかなり長いものとなる。その結果、選択側のVCOの出力は周波数変動範囲の最も周波数の低い側に張りついてしまう。

【0010】このような状態のときに、周期T4のタイミングt2で可変分周器11Bの分周比を切り替えると、可変分周器11Bの出力(帰還側パルスN)の周期が長くなるが、分周比の切替えのタイミングによっては周期T5のように可変分周器11Bの出力(帰還側パルスN)の立上がりが基準側分周器11Aの出力(基準側パルスR)の立上がりよりも早くなってしまい、本来チャージポンプ13から正の電流パルスCPがoutputされたいところで負の電流パルスCPがoutputされてしまう。その結果、PLL回路はオープン状態からスタートすることになって、位相ロックアップすなわち周波数引込み時間が長くなってしまうことがある。

【0011】上記とは逆に、DCS帯からGSM帯へのバンド切替えの際には、可変分周器11Bの出力(帰還側パルスN)の周期が急激に長くなるため、チャージポン

ンプ13から幅の長い正の電流パルスCPが出力されてVCOの周波数を上げるように作用し、選択側のVCOの出力は周波数変動範囲内の最も周波数の高い側に張りついてしまう。そして、このような状態のときに、可変分周器11Bの分周比を切り替えると、本来負の電流パルスCPを出して欲しいチャージポンプから正の電流パルスCPが出力されてしまい、PLL回路の周波数引込み時間が長くなってしまうことがある。

【0012】上記のように、従来のPLL回路においては、分周比の切替え後可変分周器11Bの出力（帰還側パルスN）の最初の立ち上がりが基準側分周器11Aの出力（基準側パルスR）の立ち上がりよりも早くなるか遅くなるかは、一義的に決まっておらず、分周比の切替えタイミングに依存してしまい、周波数引込み時間が変動するという問題点があった。かかるVCOおよび分周比の切替えの際ににおける周波数引込み時間の変動は、音声信号のみを扱っている携帯電話の無線通信システムでは問題とならない範囲のものであったが、携帯電話に高速データ通信機能を付加しようとすると、上記周波数引込み時間の変動量が許容範囲を超えるものであることが明らかとなった。

【0013】この発明の目的は、複数のVCOを有するPLL回路を備えた無線通信システムにおいて、VCOを切り替える際の周波数引込み時間を短縮できるようにすることにある。

【0014】この発明の目的は、複数のVCOを有するPLL回路を備えた無線通信システムにおいて、VCOを切り替える際に一定時間内に周波数引込みを完了できることにある。

【0015】この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添附図面から明らかになるであろう。

【0016】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【0017】すなわち、複数の発振回路を有するPLL回路を備え、発振回路を切り替えることで互いに周波数帯の異なる2以上の送信信号および受信信号を処理可能にされた無線通信システムにおいて、上記発振回路を切り替える際に、制御手段からの信号に基づいてフィルタ容量の電圧を所定の電圧にリセットするリセット手段を設けるようにしたものである。

【0018】上記した手段によれば、発振回路を切り替えた際に発振回路は切替え前の制御電圧に影響されることなく発振動作するようになるため、PLL回路の周波数の引込み時間を短くすることができる。

【0019】また、上記PLL回路は、上記位相比較器で基準となる周波数信号と位相比較される上記いずれかの発振回路からの上記帰還信号を分周するための可変分

周回路を備え、上記制御手段からの信号に基づいて該可変分周回路における分周比を変更することで受信信号および送信信号の周波数の選択を行なうように構成する。これによって、発振回路の切替えにより送受信する信号のバンドを切り替えるとともに、可変分周回路の分周比を変更することで各バンド内における所望の周波数の選択を行なうことができる。

【0020】上記リセット手段により行なわれる上記フィルタ容量のリセットは、任意の固定電位とすることが可能であるが、接地電位へのリセットとするのが望ましい。最も安定な電位でありかつ容易に得ることができるからである。

【0021】上記可変分周回路における分周比の変更は上記発振回路を切り替えた後に行なわれ、該可変分周回路は分周比の変更後に初期状態にリセットされ、上記リセット手段による上記フィルタ容量のリセットは上記可変分周回路のリセットと連動して行なわれるよう構成すると良い。可変分周回路における分周比の変更後周波数が安定するまでの時間が発振回路の切替え後変更後周波数が安定するまでの時間よりも短いので、トータルの周波数引込み時間を短縮することができるからである。

【0022】上記可変分周回路における分周比の変更は上記発振回路を切り替えた後に行なわれ、上記可変分周回路および上記フィルタ容量のリセットは上記可変分周回路における分周比の変更後に同時に開始され、上記可変分周回路のリセットが解除された後に上記フィルタ容量のリセットが解除されるようにするのが望ましい。これによって、位相比較回路のリセットが解除された直後に基準となる信号と帰還信号のエッジを位相比較して誤動作してしまうのを回避することができる。

【0023】上記可変分周回路をリセットする制御信号を発生するリセット信号発生手段を備え、該リセット信号発生手段は、上記可変分周回路における分周比の設定信号および上記基準となる周波数信号に基づいて、分周比の変更後上記基準となる周波数信号の最初のパルスとその次のパルスの期間中有効レベルとされるリセット信号を発生するように構成すると良い。分周比の設定信号に基づいてリセット信号を発生することで可変分周回路のリセットのタイミングを正確かつ容易に設定できるとともに、基準となる周波数信号に基づいてリセット信号を発生することでリセット解除後の基準となる周波数信号に対する帰還信号を分周した信号の位相を一義的に決定してやることができる。

【0024】上記リセット手段による上記フィルタ容量のリセット中は、上記位相比較器およびチャージポンプの動作が停止されもしくは位相比較器の出力のチャージポンプへの伝達が遮断されるように構成するのが望ましい。これによって、チャージポンプ出力によるフィルタ容量の電圧の影響を完全になくすことができ、リセット

中に発振回路の動作が不安定になるのを回避することができる。

【0025】上記リセット信号発生手段により発生されたリセット制御信号に基づいて、該リセット制御信号の有効レベルへの変化と同期して有効レベルに変化し上記リセット制御信号の無効レベルへの変化よりも上記基準となる周波数信号のパルス幅以上の遅延時間をおいて無効レベルに変化するトップ信号を発生するトップ信号発生手段を備え、該トップ信号発生手段により上記フィルタ容量のリセットおよび上記位相比較器およびチャージポンプの動作停止もしくは位相比較器の出力のチャージポンプへの伝達の遮断制御が行なわれるよう構成すると良い。これによって、位相比較回路のリセットが解除された直後に基準となる信号と帰還信号のエッジを位相比較して誤動作してしまうのをより確実に回避することができる。

【0026】

【発明の実施の形態】次に、本発明の実施例について図面を用いて説明する。

【0027】図1には、本発明をGSMとDCSのような2つの周波数帯の信号を扱える携帯電話器において、受信信号や送信信号と合成される所定の周波数の発振信号を発生する局部発振器として用いられるPLL回路に適用した場合の一実施例が示されている。

【0028】図1に示されているように、この実施例のPLL回路10は、13MHzのような基準周波数信号TCXOを分周して例えば200KHzの基準側パルスRを生成する分周器11Aと、帰還信号Fを基準側パルスRと同じ200KHzの周波数のパルスNに分周する可変分周器11Bと、分周された帰還側パルスNと基準側パルスRの位相を比較して位相差する位相比較器12と、検出された位相差に応じた電荷を送ったり引き抜いたりするチャージポンプ回路13と、容量C0, C1, 抵抗R1とからなりチャージポンプ回路から供給される電荷に応じた電圧を発生する2次のループフィルタ14と、フィルタにより発生された電圧に応じた周波数で発振する2つの電圧制御発振回路(VCO)15A, 15Bと、これらの電圧制御発振回路15A, 15Bの発振出力を選択するための切替えスイッチ16とにより構成されている。

【0029】上記電圧制御発振回路15Aは、GSMの880~915MHzの周波数帯より上下それぞれ5~10%広い周波数範囲で発振動作可能に、また電圧制御発振回路15BはDCSの1710~1785MHzの周波数帯より上下それぞれ5~10%広い周波数範囲で発振動作可能に構成される。

【0030】上記位相比較器12は、可変分周器11Bで分周された帰還側パルスNと分周器11Aで分周された基準側パルスRの位相を比較して帰還側パルスNの位相が遅れているときはアップ信号UPを、帰還側パルス

Nの位相が進んでいるときはダウン信号DOWNを出力する。このアップ信号UPおよびダウン信号DOWNは、電荷を送ったり引き抜いたりするチャージポンプ回路13に供給される。

【0031】チャージポンプ回路13は、電流供給用の電流源と電流引抜き用の電流源とからなり、上記アップ信号UPが供給されると正の電流パルスCPを生成し、ダウン信号DOWNが供給されると負の電流パルスCPを生成してループフィルタ14に供給する。ループフィルタ14は、2次のローパスフィルタであり、正の電流パルスCPが供給されると容量C0, C1のチャージ電荷を増加させ、負の電流パルスCPが供給されると容量C0, C1のチャージ電荷を減らすように動作する。これによって、帰還側パルスNの位相が遅れているときはループフィルタ14の出力電圧が高くなつて電圧制御発振回路15Aまたは15Bの発振周波数を高くさせ、帰還側パルスNの位相が進んでいるときはループフィルタ14の出力電圧が低くなつて電圧制御発振回路15Aまたは15Bの発振周波数を低くさせる。

【0032】なお、このループフィルタ14は、2次のフィルタで構成されてその周波数応答特性すなわちループ帯域は、位相比較器12で比較される信号の周波数(この実施例では200KHz)の10分の1以下となるように、ループフィルタ14の時定数が設定される。応答特性がこれ以上高いと位相比較器12から出力パルスが出るたびにループフィルタ14の出力電圧が上下に変動して、次段の電圧制御発振回路15Aまたは15Bの発振動作が不安定になつてしまうためである。

【0033】この実施例においては、上記ループフィルタ14の入力ノードと接地電位GNDのような定電圧端子との間に接続されフィルタ容量C0, C1のチャージ電荷をリセットするためのスイッチ17と、基準側分周器11Aで分周されたパルスRに基づいて可変分周回路11Bに対するリセット信号/RRESを発生するリセット信号発生回路18と、発生されたリセット信号/RRESに基づいてその立ち上がりを遅延させたトップ信号/STOPを発生する遅延回路19とが設けられている。

【0034】そして、トップ信号/STOPは位相比較器12とチャージポンプ回路13とに供給されてこれらの回路の動作を停止させるとともに、リセット用スイッチ17に制御信号として供給されてフィルタ容量C0, C1のチャージ電荷を引き抜くことができるよう構成されている。なお、上記遅延回路19におけるトップ信号/STOPの立上げ遅延時間tpdは、基準側パルスRのパルス幅よりも長いのが望ましい。位相比較器12がリセット解除のタイミングを与えた基準側パルスRとその後に来る帰還側パルスNのエッジを位相比較してしまうのを確実に回避するためである。

【0035】上記リセット信号発生回路18は、シテ

ムコントローラ等から可変分周器11Bに供給される分周比の設定信号nの変化を検出して、その検出後基準側分周器11Aの出力（基準側パルスR）の最初のパルスの立ち上がりに同期して立ち下がりその次のパルスの立ち上がりに同期して立ち上がるようなりセット信号/RESを発生するように構成される。具体的には、リセット信号発生回路18は、分周比の設定信号nの変化を検出する検出回路と、その検出後基準側パルスRの1サイクルの間有効レベルになるようなイネーブル信号EN

（図2参照）を生成する回路と、イネーブル信号ENが有効レベルの間に基準側パルスRの最初のパルスとその次のパルスの立上がりエッジに同期して変化するリセット信号を生成する回路などから構成することができる。また、上記ストップ信号/STOPにより位相比較器12とチャージポンプ回路13の動作を停止させるための具体的な構成としては、例えば位相比較器12やチャージポンプ回路13内の電流源の電流を遮断するスイッチを設けたり、位相比較器12の出力UP, DOWNをチャージポンプ回路13に伝えないようにするための論理ゲートを設けるなど、種々の方法が考えられる。

【0036】次に、上記PLL回路において、可変分周器11Bの分周比の切替えおよび電圧制御発振回路15A, 15Bの切替えが行なわれた場合の動作を、図2のタイミングチャートを用いて説明する。なお、図2は880～915MHzのGSM帯から1710～1785MHzのDCS帯へバンド切替えする場合のタイミングを示す。

【0037】図2の周期T1のタイミングt1で電圧制御発振回路の切替えが行なわれた場合、帰還信号Fを分周する可変分周器11Bの出力（帰還側パルスN）の周期は急激に短くなる。そのため、チャージポンプ13から負の電流パルスCPが出力されて電圧制御発振回路の周波数を下げるよう作用する。しかも、周期T3のように、一方の分周器（ここでは基準側11A）の出力の1周期の間に他方の分周器（可変分周器B）の出力パルスが2個入っても位相比較器12は2個目のパルスに対しては比較動作をしないので、チャージポンプ13から出力される負の電流パルスCPはかなり長いものとなる。その結果、選択側の電圧制御発振回路の出力は周波数変動範囲の最も周波数の低い側に張りついてしまう。

【0038】このような状態のときに、t2のようなタイミングでシステムコントローラ等からの分周比設定信号nによって可変分周器11Bの分周比の切替えが行なわれると、上記リセット信号発生回路18が、分周比の設定信号nの変化を検出して、その検出後基準側分周器11Aの出力パルスRの最初のパルスの立ち上がり（タイミングt3）に同期して立ち下がりその次のパルスの立ち上がり（タイミングt4）に同期して立ち上がるようなりセット信号/RESを発生する。これによって、可変分周器11Bはリセット信号/RESがロウレベル

期間ずっとリセット状態にされる。

【0039】また、リセット信号/RESの立ち下がりに同期してストップ信号/STOPがロウレベルに変化し、これによってリセット用スイッチ17がオンされてループフィルタ14の容量C0, C1のチャージ電荷を引き抜いて、電圧制御発振器15Bへの制御電圧を接地電位(0V)に固定する。しかも、ストップ信号/STOPによって位相比較器12とチャージポンプ回路13の動作が停止される。そのため、電圧制御発振器15Bは変動範囲の下限の周波数で発振動作するように制御される。

【0040】その後、基準側パルスRの次の立ち上がりタイミングt4でリセット信号/RESがハイレベルに変化して、可変分周器11Bのリセットが解除され、可変分周器11Bはこの時点から改めて分周を開始する。そして、しばらくしたタイミングt5でストップ信号/STOPがハイレベルに変化されると、位相比較器12とチャージポンプ回路13の動作停止状態が解除されるため位相比較が開始される。しかし、このとき、電圧制御発振器15Bは変動範囲の下限の周波数で発振動作しており、しかもリセット信号/RESは基準側パルスRに基づいて形成されるのでその立ち上がりがゲート遅延分遅くなる。そのため、分周比nにより決まる発振周波数がVCOの変動範囲の下限に近い周波数であったとしても、可変分周器11Bで分周された帰還側パルスNの周期は必ず基準側パルスRの周期よりも長くなる。

【0041】そのため、基準側パルスRの次の立ち上がりタイミングt6で位相比較器12は帰還側パルスNの位相遅れを検出してチャージポンプ回路13から位相差に応じた正の電流パルスCPが出力される。そして、このとき電圧制御発振器15Bは変動範囲の下限の周波数で発振動作しているため、PLL回路はクローズ状態からスタートすることになり、しかも帰還側パルスNの位相遅れは最大で1710MHzの信号と1785MHzの信号との位相差程度に過ぎないので、上記チャージポンプ回路13からの正の電流パルスCP1つで引込みを完了して次の周期からはPLLがロックアップした状態となる。

【0042】上記とは逆に、1710～1785MHzのDCS帯から880～915MHzのGSM帯へのバンド切替えの際には、図2の出力（基準側パルスR）とNの関係が逆になり、帰還信号Fを分周する可変分周器11Bの出力（帰還側パルスN）の周期は急激に長くなる。そのため、チャージポンプ13から正の電流パルスCPが出力されて電圧制御発振回路の周波数を上げるように作用する。そのため、電圧制御発振器15Aは変動範囲の上限の周波数に張りついてしまう。

【0043】しかし、この場合にも、タイミングt2でシステムコントローラ等からの分周比設定信号nによつて可変分周器11Bの分周比の切替えが行なわれると、

上記リセット信号発生回路18がロウアクティブのリセット信号/RESを発生する(タイミングt3)。これによって、可変分周器11Bはリセット信号/RESがロウレベル期間ずっとリセット状態にされるとともに、ストップ信号/STOPがロウレベルに変化し、これによってリセット用スイッチ17がオンされてループフィルタ14の容量C0, C1のチャージ電荷を引き抜く。また、ストップ信号/STOPによって位相比較器12とチャージポンプ回路13の動作が停止される。そのため、電圧制御発振器15Aは変動範囲の下限の周波数で発振動作するように制御される。

【0044】従って、その後は、GSM帯からDCS帯へのバンド切替えの場合と同様に、基準側パルスRの次の立ち上がりタイミングt4でリセット信号/RESがハイレベルに変化して、可変分周器11Bのリセットが解除され、可変分周器11Bはこの時点から改めて分周を開始する。そして、タイミングt5でストップ信号/STOPがハイレベルに変化されると、位相比較器12とチャージポンプ回路13の動作停止状態が解除されるが、電圧制御発振器15Aは変動範囲の下限の周波数で発振動作しており、PLL回路はクローズ状態からスタートすることになる。しかも、リセット信号/RESは基準側パルスRに基づいて形成されその立ち上がりがゲート遅延分遅くなるため、可変分周器11Bで分周された帰還側パルスNの周期は必ず基準側パルスRの周期よりも長くなる。

【0045】そのため、基準側パルスRの次の立ち上がりタイミングt6で位相比較器12は帰還側パルスNの位相遅れを検出してチャージポンプ回路13から位相差に応じた正の電流パルスCPが outputされる。そして、このときの帰還側パルスNの位相遅れは比較的小さいので、電圧制御発振器15Aは上記チャージポンプ回路13からの正の電流パルスCP1つで引込みを完了して、次の周期からはPLLがロックアップした状態となる。

【0046】図3に本発明に係るPLL回路の第2の実施例を示す。

【0047】この実施例は、図1の実施例においてループフィルタ14の入力ノードと接地電位GNDとの間に接続されたフィルタ容量C0, C1をリセットするスイッチ17を、ループフィルタ14の入力ノードと電源電圧Vccとの間に接続し、フィルタ容量をVccにリセットするようにしたものである。また、このようにした場合、GSM帯からDCS帯へのバンド切替えまたはDCS帯からGSM帯へのバンド切替えのいずれの場合にも、電圧制御発振回路15Aまたは15Bはリセットにより変動範囲の上限の周波数で発振動作するようになる。つまり、リセット期間中、電圧制御発振回路15Aまたは15Bは第1の実施例とは逆に発振周波数が最も高い状態で発振動作することとなる。

【0048】そこで、この実施例では、可変分周器11

Bの出力(帰還側パルスN)に基づいてリセット信号/RESを発生するリセット信号発生回路18を設け、そのリセット信号/RESで基準側分周器11Aをリセットさせるとともに、リセット信号/RESの立ち下がりを遅延したストップ信号/STOPを遅延回路19で生成して位相比較器12とチャージポンプ13とを停止させるように構成されている。

【0049】これによって、分周比nにより決まる発振周波数がVCOの変動範囲の上限に近い周波数であったとしても、リセット信号/RESは帰還側パルスNに基づいて形成されるのでその立ち上がりがゲート遅延分遅くなるため、リセット解除後の最初のパルスは、第1の実施例とは逆に可変分周器11Bの出力(帰還側パルスN)の方が必ず基準側分周器11Aの出力(基準側パルスR)よりも早いタイミングとなる。これによって、位相比較器12は帰還信号Fの位相が進んでいると判定してダウン信号を出力し、チャージポンプ13がそれを受けて負の電流パルスCPを出力するため、電圧制御発振回路15Aまたは15Bは発振周波数を下げるよう動作する。しかも、電圧制御発振回路15Aまたは15Bはリセット期間中変動範囲の上限の周波数で発振動作しており、PLL回路としてはクローズした状態からスタートするので、1回の電流パルスCPで周波数の引込みが完了して、PLLをロックアップ状態とすることができる。

【0050】図4には、上記実施例のPLL回路を利用したデュアルバンド方式の携帯電話器の無線通信システムの構成例が示されている。特に制限されないが、この実施例のシステムは、いわゆるシングルスーパークロック方式と呼ばれるものである。

【0051】図4において、100は信号電波の送受信用アンテナ、101は送受信切替え用のスイッチ、110はアンテナ100により受信された信号を増幅し復調する受信系回路、120はアンテナ100より送信する信号を変調し周波数変換する送信系回路、130はこれらの受信系回路110と送信系回路120に必要とされる局部発振信号を発生する発振系回路、140は受信信号から音声データを抽出したり音声データを電圧パルス列に変換したりするベースバンド信号処理回路、150はシステム全体を統括的に制御するマイクロコンピュータなどからなるシステムコントローラである。上記実施例のPLL回路は発振系回路130において利用される。

【0052】上記受信系回路110は、アンテナ100より受信された信号から不要波を除去するSAWフィルタなどからなる帯域制限フィルタ(FLT)111と、フィルタ111を通過した信号を増幅する低雑音増幅回路(LNA)112と、増幅された受信信号と発振系回路130からの局部発振信号とを合成することにより中間周波数の信号にダウングレードするミクサ(MIXER)113によって生成される。

X) 113と、受信信号と局部発振信号の周波数差に相当する周波数の信号を通過させるバンドパスフィルタ(BPF) 114と、信号を所望のレベルに増幅する利得制御可能なプログラマブル・ゲイン・アンプ(PGA) 115と、所望の振幅に調整された信号をベースバンド信号(I/Q)に復調する復調器(DeMOD)などから構成されている。

【0053】上記送信系回路120は、ベースバンド信号処理回路140からベースバンド信号(I/Q)として入力された送信信号をRF信号に変調する変調器(MOD)121と、変調された信号を発振系回路130からの発振信号と合成することにより所望の送信周波数の信号にアップコンバートするミクサ(UP-MIX)122と、周波数変換された送信信号を電力増幅してアンテナ100より送信させるパワーアンプ(PA)などから構成されている。

【0054】発振系回路130は、RF信号用の電圧制御発振回路(RFVCO)131と、復調器116および変調器121で必要とされる中間周波数信号(周波数一定)を生成する電圧制御発振回路(IFVCO)132と、これらのVCO131, 132からの帰還信号と水晶振動子を用いた周波数精度が高く温度依存性のない発振回路から供給される基準信号TCXOとの位相差を比較してそれぞれのVCOに対する制御電圧を生成するシンセサイザ(SYN)133と、RFVCO131で発生された発振信号を受信側のミクサ113と送信側のミクサ122に分配して供給するバッファ(BFF)134などから構成されている。

【0055】ここで、図1や図3に示されている電圧制御発振回路15A, 15Bおよび切替えスイッチ16が、図4のVCO131, 132に相当し、RFVCO131およびIFVCO132には2つの電圧制御発振回路15A, 15Bがそれぞれ設けられている。また、図1や図3に示されている分周回路11A, 11B、位相比較器12、チャージポンプ13およびループフィルタ14は、図4においてシンセサイザ(SYN)133として示されており、このシンセサイザ133内にリセット用スイッチ17およびリセット信号発生回路18、遅延回路19が設けられる。

【0056】この実施例のシステムにおいては、システムコントローラ150がチャネルを変更しようとすると、シンセサイザ133内部の可変分周器に対して供給する分周比の設定信号nを変更するとともに、RFVCO131およびIFVCO132に対するVCO切替え制御信号FCを変化させる。また、システムコントローラ150は、送信と受信を切り替える際に、切替えスイッチ101に対する送受信切替え制御信号TX/RXを変化させるような制御が行なわれる。

【0057】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明はそれに限定さ

れるものでなく、例えば実施例では、チャージポンプ回路13の後段に2つの電圧制御発振回路15Aおよび15Bを有するPLL回路として説明したが、電圧制御発振回路は実施例のように2つの場合に限らず、3個以上ある場合にも本発明を適用することが可能であり、その場合にも実施例と同様な効果を得ることができる。

【0058】また、リセット用スイッチ17が接続される端子は接地点GNDや電源電圧端子Vccに限定されるものでなく、任意の固定電位端子とすることができる。また、ループフィルタ14は、図1や図3に示されているように容量C0, C1, R1とからなる2次のフィルタに限定されず、図5のような1つの容量からなる1次のフィルタであってもよい。また、実施例においては、基準信号を分周する分周器11Aを設けているが、この分周器は必ずしも必要なものではなく、基準信号の周波数によっては省略することができる。

【0059】さらに、上記応用例では、シングルスーパーへテロダイൻ方式と呼ばれる携帯電話器の無線通信システムについて説明したが、シングルスーパーへテロダイൻ方式における受信側のミクサ113の後にダウンコンバートされた信号をさらにダウンコンバートする第2のミクサを設けるようにしたダブルスーパーへテロダイൻ方式と呼ばれる携帯電話器の無線通信システムや受信側のミクサを省略して増幅され所定の帯域フィルタを通過した受信信号を直接復調器に入力させるダイレクトコンバート方式と呼ばれる携帯電話器の無線通信システムにも適用できることはいうまでもない。

【0060】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である携帯電話器の無線通信システムに用いられるPLL回路に適用した場合について説明したが、本発明はそれに限定されるものでなく、2以上のVCOを備え周波数を切り替えて動作させるPLL回路およびそれを有するシステム一般に広く利用することができる。

【0061】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0062】すなわち、本発明に従うと、複数のVCOを有するPLL回路を備えた無線通信システムにおいて、VCOを切り替える際の周波数引込み時間を短縮でき、しかもVCOを切り替える際に必ず一定時間内に周波数引込みを完了できるようにすることができるという効果がある。

【図面の簡単な説明】

【図1】本発明に係るPLL回路の第1の実施例を示すブロック図である。

【図2】実施例のPLL回路の分周比およびVCO切替え時の動作波形を示すタイミングチャートである。

【図3】本発明に係るPLL回路の第2の実施例を示す

ブロック図である。

【図4】本発明に係るPLL回路を適用したシステム例としてのデュアルバンド方式の携帯電話システムの構成例を示すブロック図である。

【図5】従来のPLL回路の構成例を示すブロック図である。

【図6】従来のPLL回路のロック状態と分周比切替え時の動作波形を示すタイミングチャートである。

【図7】従来のPLL回路の分周比およびVCO切替え時の動作波形を示すタイミングチャートである。

【符号の説明】

11A 基準側分周器

11B 可変分周器

12 位相比較器

13 チャージポンプ

14 ループフィルタ

15A, 15B 電圧制御発振回路

16 VCO切替えスイッチ

17 リセット用スイッチ

18 リセット信号発生回路

19 遅延回路

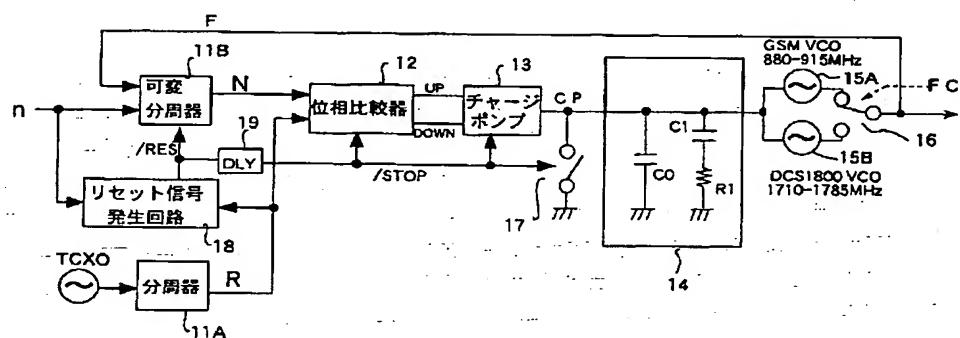
TCXO 基準信号

10 F 帰還信号

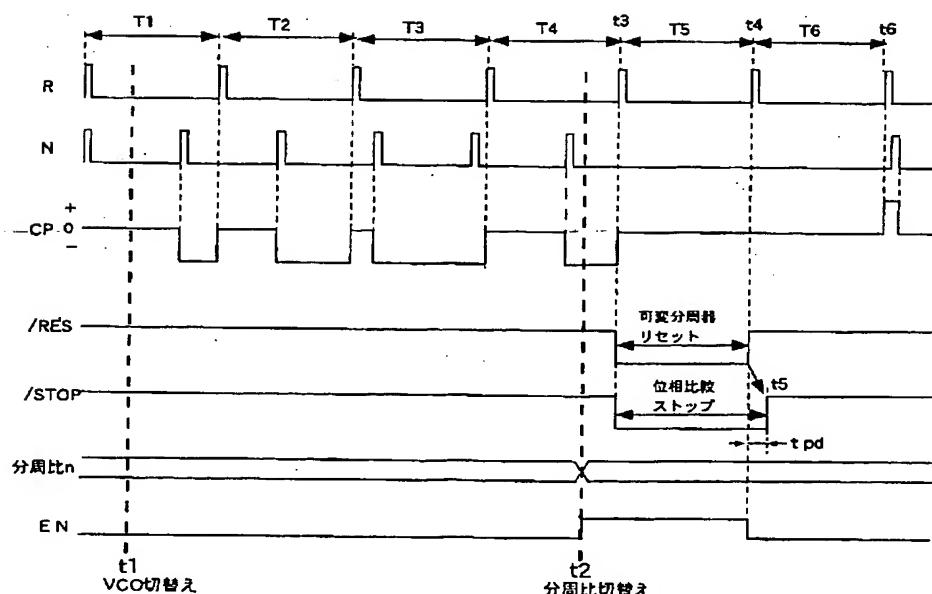
R 基準信号を分周した信号

N 帰還信号を分周した信号

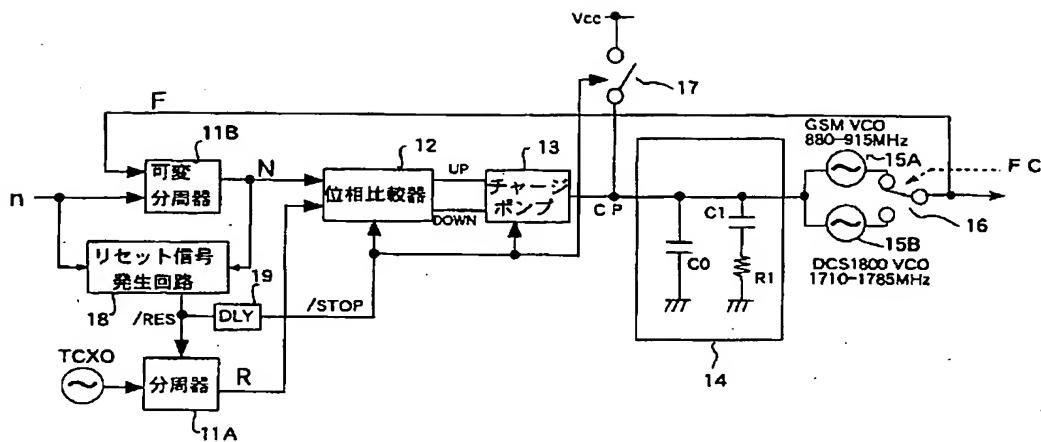
【図1】



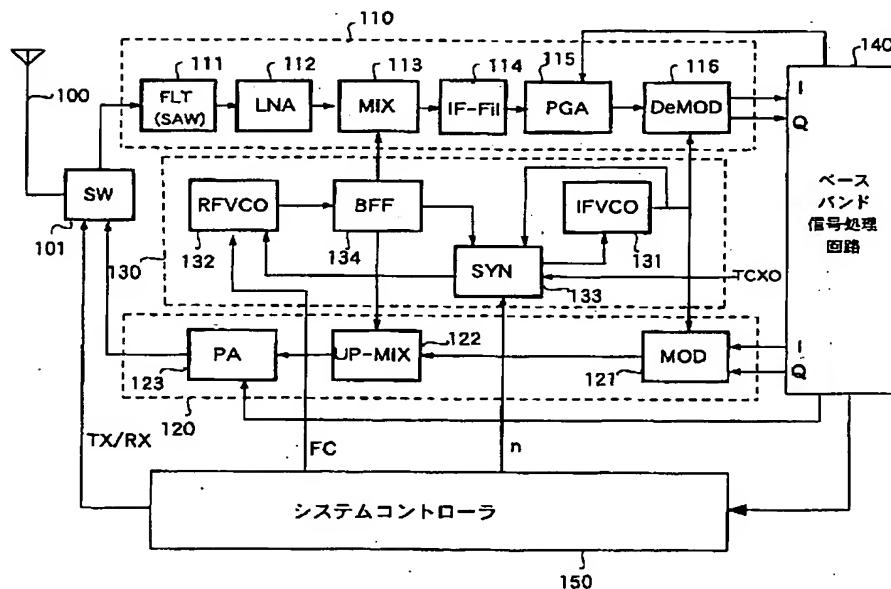
【図2】



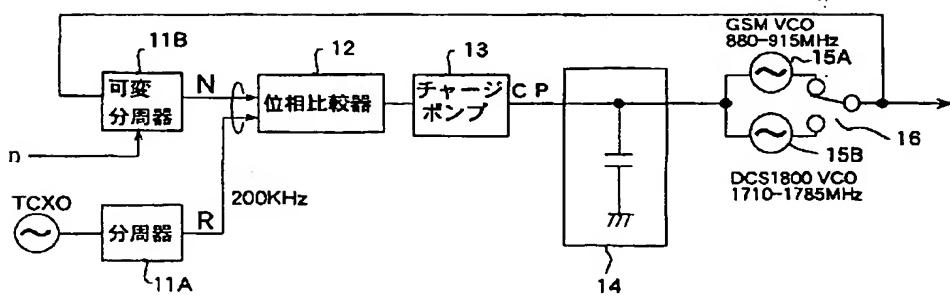
【図3】



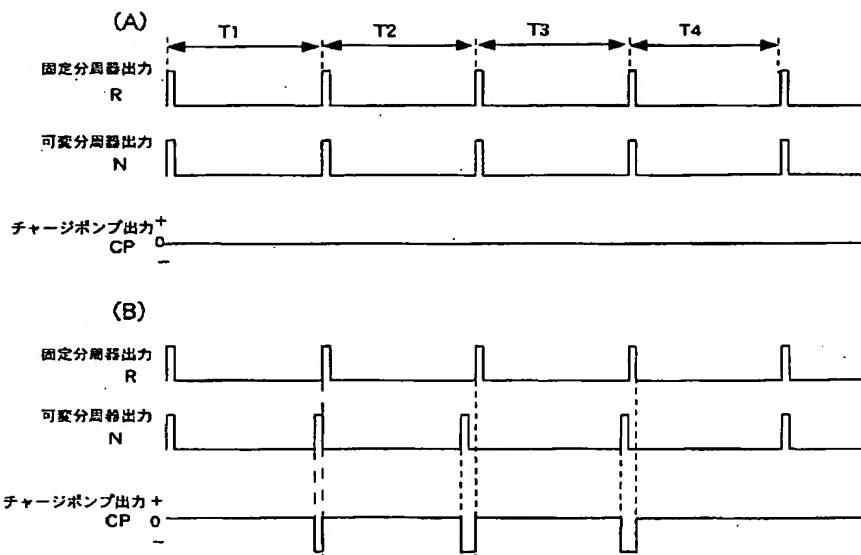
【図4】



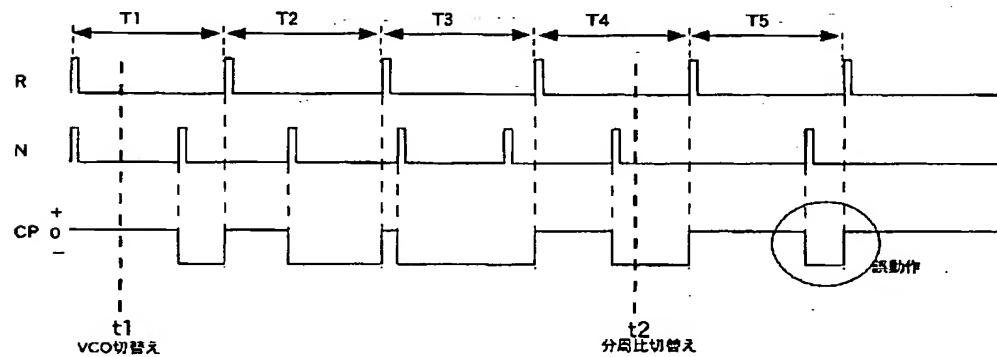
【図5】



【図6】



【図7】



フロントページの続き

Fターム(参考) 5J106 AA04 BB01 CC19 CC41 CC53
 DD08 DD32 GG15
 5K047 AA01 BB01 BB05 DD01 MM02
 MM11 MM33 MM46 MM50 MM55
 MM63
 5K060 CC04 DD04 HH26 HH27 HH28
 HH29 HH39